

PAT-NO: JP404029409A

DOCUMENT-IDENTIFIER: JP 04029409 A

TITLE: CLOCK SIGNAL GENERATION CIRCUIT

PUBN-DATE: January 31, 1992

INVENTOR-INFORMATION:

NAME

MIHARA, YOSHIKAZU

ASSIGNEE-INFORMATION:

NAME

SANYO ELECTRIC CO LTD

COUNTRY

N/A

APPL-NO: JP02134563

APPL-DATE: May 23, 1990

INT-CL (IPC): H03L007/00, H04N005/06 , H04N005/95

US-CL-CURRENT: 331/107R

ABSTRACT:

PURPOSE: To dispense with an oscillator and a frequency dividing circuit
perated at high frequency by g n rating plural cl ck signals

with phases
different little by little, and selecting the clock signal provided
with the
phase optimum for a signal set as reference.

CONSTITUTION: The frequency of an original oscillation circuit
2 is $N \cdot f_s$ (N :
integer) generally assuming a sampling frequency as f_s , and
phase comparison
between M clock signals obtained by a multi-phase clock
generation circuit 3
and a horizontal synchronizing signal set as reference is
performed at a clock
selection circuit 4, and the signal with the optimum phase is
selected. As the
multi-phase clock generation circuit, such configuration that
plural(M) delay
circuits are cascade-connected can be considered. In such a
case, it is
permitted to set the frequency of the generation circuit equal to
 $N=1$
sampling frequency. Assuming the delay time of the delay circuit
as (d) , it is
desirable that the frequency of the oscillation circuit 2 satisfies
 $d \cdot M \geq 1/f_s$.

COPYRIGHT: (C)1992,JPO&Japio

⑫ 公開特許公報(A) 平4-29409

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)1月31日

H 03 L 7/00
H 04 N 5/06
5/95

B 9182-5J
Z 9070-5C
A 7205-5C

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 クロック信号作成回路

⑯ 特 願 平2-134563

⑰ 出 願 平2(1990)5月23日

⑱ 発 明 者 三 原 良 和 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
⑲ 出 願 人 三 洋 電 機 株 式 有 限 公 司 大阪府守口市京阪本通2丁目18番地
⑳ 代 理 人 弁 理 士 西 野 卓 嗣 外2名

明 細 書

1. 発明の名称

ク ロ ッ ク 信 号 作 成 回 路

2. 特許請求の範囲

(1) 位相の異なる複数のクロック信号を作成する手段と、基準となる信号に応じて前記複数のクロック信号から1つを選択する選択手段よりなるクロック信号作成回路。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は、クロック信号作成回路に関する。

(ロ) 従来の技術

放送技術双書「VTR技術」のpp.121-122にはサンプリングクロック(f_s とする)より高い周波数の原発振クロック(サンプリングクロックの N 倍とする)を用意し、水平同期信号等で N 分周回路をリセットすることにより、 $1/(f_s \cdot N)$ 秒の範囲で水平同期信号と一定位相となるサンプリングクロックを得る方法が示されている。

(ハ) 発明が解決しようとする課題

フィードバック系のみのPLLでは急激な位相変化に追従できない。従来技術の後半に記した分周方式で、高い精度を得ようとする、高い周波数で動作する発振器と分周回路が必要となり限度がある。

(ニ) 課題を解決するための手段

本発明では、少しずつ位相の異なる複数のクロック信号を作成し、基準となる信号に対して最適な位相を備えたクロック信号を選択する手段を備えた構成となっている。

(ホ) 作 用

すなわち、位相の異なる複数のクロック信号から最適な位相のものを選択することから、クロック作成のために必要な発振器、分周器等の高速動作対応のものをを用いる必要がなくなる。

(ヘ) 実施例

以下、図面に従い、本発明の実施例を説明する。

第1図は全体の概略を示すブロック図、第2図

は多相クロック発生回路のブロック図、第3図は選択回路のブロック図、第4図は動作説明のための波形図、第5図、第6図は他の実施例を示す回路ブロック図である。

1は入力される映像信号より水平同期信号を分離する回路である。2は原発振回路で、3は多相クロック発生回路である。原発振回路2の周波数はサンプリング周波数を f_s とすると一般に $N \cdot f_s$ (N は整数)で、 N は3の多相クロック発生回路の方式によって決められる。4はクロック選択回路である。3多相クロック発生回路3によって得られた M 個のクロックのうち、最適なものを選択して出力する。

多数クロック発生回路3としては、例えば第2図の様に複数 (M 個) の遅延回路5-1~5-Mを従属に接続する構成が考えられる。この場合発振回路2の周波数は、 $N=1$ つまりサンプリング周波数と等しくてよい。遅延回路5-1~5-Mの遅延時間を d とすると発振回路2の周波数は $d \cdot M \geq 1/f_s$ を満足することが望ましい。この

ただし $\prod_{l=1}^0 = 1$ 、 $Q_{M+1} = Q_1$ である。

最終的に選択されるクロックを ϕ とすると、 ϕ の一般式は π を論理積、 Σ を論理和の記号として使って、次の様になる。

$$\phi = \sum_{k=1}^M \phi_k \cdot \prod_{l=1}^{k-1} (Q_l \cdot \overline{Q_{l+1}}) \cdot (Q_k \cdot \overline{Q_{k+1}}) \cdots (2)$$

ただし、 $\prod_{l=1}^0 = 1$ 、 $Q_{M+1} = Q_1$

上記(1)の条件式の意味は次の様になる。隣接するクロック信号に関するラッチ出力の一方だけを否定した論理積が1 (真) であるならば、水平同期信号のエッジのタイミングは、この2つのクロック信号の間にあるはずである。この時、クロック信号と水平同期信号との位相差は遅延時間 d 以内となる。

ところが、 $(Q_l \cdot \overline{Q_{l+1}}) = 1$ の条件だけだと、 $d \cdot M > 1/f_s$ の場合、条件の成立する位相が2つ以上存在する場合がある。そこで、 ϕ_1 から ϕ_1 、 ϕ_2 、 \cdots ϕ_M の順に優先順位を付与するた

場合精度は遅延時間 d となる。

選択回路3はこの M 個のクロック信号と基準となる水平同期信号との位相比較を行ない、最適なものを選択する。構成としては、例えば第3図のものが考えられる。第3図の構成では M 個のクロック信号をデータ入力とし、水平同期信号をクロック信号とする M 個のラッチ回路6-1~6-M (D型フリップ・フロップ) とその出力に基づき選択動作を行なう論理回路7を備えている。

M 個のクロック信号を ϕ_1 、 ϕ_2 、 ϕ_3 、 \cdots ϕ_M とし、そのクロック信号を水平同期信号の立上りエッジでラッチした値をそれぞれ Q_1 、 Q_2 、 Q_3 、 \cdots Q_M とする。この時 ϕ_1 を選択する条件は、 $Q_1 \cdot \overline{Q_2} = 1$ (*は論理積、1は真を表す)、 ϕ_2 を選択する条件は $(Q_1 \cdot \overline{Q_2}) \cdot (Q_2 \cdot \overline{Q_3}) = 1$ である。一般に ϕ_k ($1 \leq k \leq M$) を選択する条件は次の様になる。

$$\prod_{l=1}^{k-1} (Q_l \cdot \overline{Q_{l+1}}) \cdot (Q_k \cdot \overline{Q_{k+1}}) = 1 \quad \cdots (1)$$

めに、 $\prod_{l=1}^{k-1} (Q_l \cdot \overline{Q_{l+1}})$ の条件を付している。

この様にすることにより、位相遅れが $1/f_s$ を越えたところから ϕ_1 までのクロック信号は選択されなくなる。装置としては、広い周波数範囲、特に、低周波のサンプリングクロックにでも適用できるように、 $d \cdot M$ の値大きくしておくほうが好ましい。

第5図は他の実施例のクロック発生回路を示している。ここでは発振回路10 ($2f_s$ の周波数を有する) から作動アンプ11に $2f_s$ 発振信号を供給し、180度位相の異なる信号を作成し、さらにこの信号に基づいて、ラッチ回路12、13、14により、90度ずつ位相の異なる4相クロック信号 ϕ_1 、 ϕ_2 、 ϕ_3 、 ϕ_4 を作成している。

この場合、 $d = 1/4f_s$ 、 $M = 4$ であるから $d \cdot M = 1/f_s$ 、 $Q_l \cdot \overline{Q_{l+1}} = 1$ の条件が成立するクロック信号は1個だけなので、選択回路の構成は簡単になる。

第6図に第5図に対応した選択回路のブロック

図を示す。ここでは夫々のクロック信号 $\phi_1 \sim \phi$ を水平同期信号の立上りでラッチ回路21~24ラッチし、このラッチの出力(Q及び \bar{Q})から $Q \cdot \bar{Q} + 1$ の論理積をNANDゲート25~28で求める。不要なグリッチを発生させないために各NANDゲートの出力を対応する ϕ_i でラッチしたあと(ラッチ29~32)、NANDゲート(33~36)で ϕ_i を選択する。そしてNANDゲート37から最終的なクロック出力が得られる。

第2の構成の場合、 $1/4fs$ の精度で制御するとき、 $2fs$ の発振周波数でよく、高速の回路を必要としない。

以上の構成に加えて、発振回路を基準信号(水平同期信号)とPLLを利用して同期させる様にしてもよい。

(ト) 発明の効果

以上述べた様に、本発明によれば基準信号に同期したクロック信号を高速動作の必要なしに、精度よく制御できるので効果がある。

4. 図面の簡単な説明

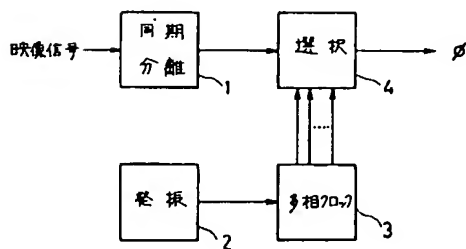
第1図は実施例の概略を示すブロック図、第2図は多相クロック作成回路のブロック図、第3図は選択回路のブロック図、第4図は波形図、第5図、第6図は第2実施例を示すブロック図である。

3…多相クロック作成回路、4…選択回路。

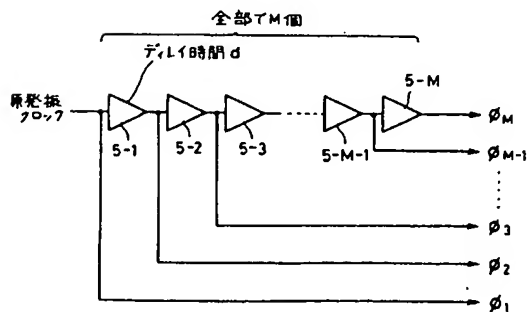
出願人 三洋電機株式会社

代理人 弁理士 西野卓嗣(外2名)

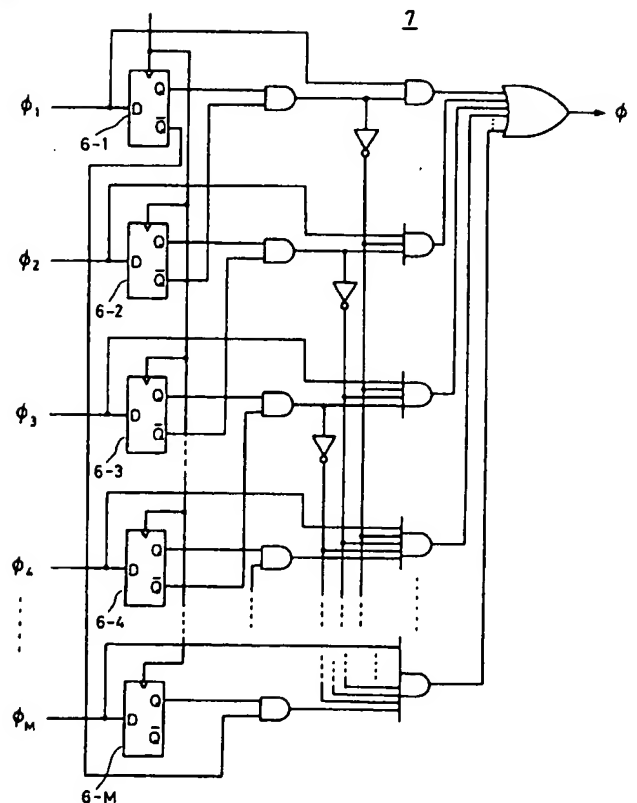
第1図



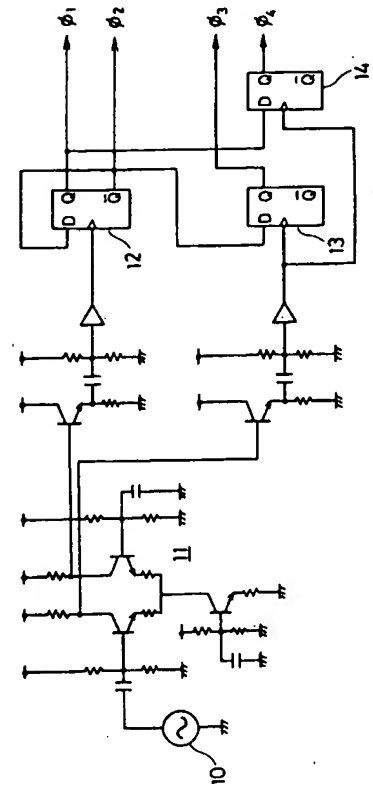
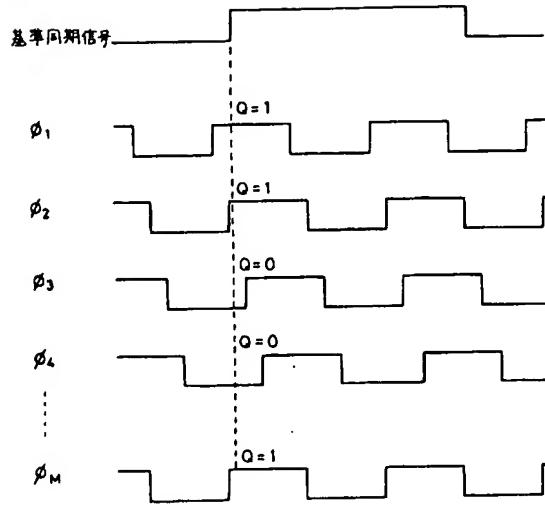
第2図



第3図



第4図



第5図

第6図

